

# PATENT ABSTRACTS OF JAPAN

(11) Publication number :

11-222679

(43) Date of publication of application : 17.08.1999

(51) Int. Cl.

C23C 16/44  
H01L 21/205

(21) Application number : 10-022932

(71) Applicant : HITACHI LTD

(22) Date of filing : 04.02.1998

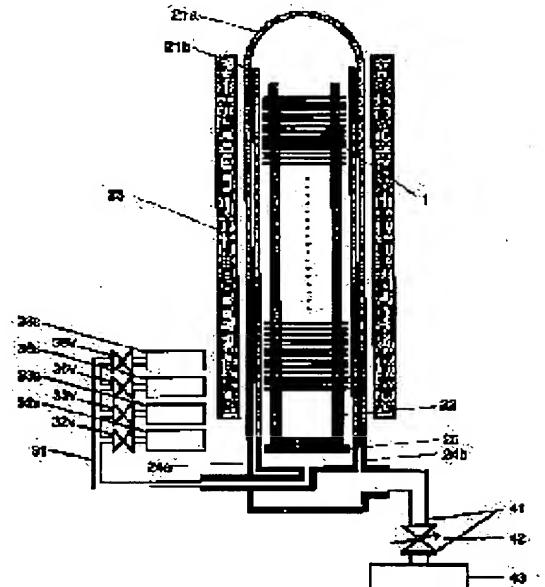
(72) Inventor : ARAI TOSHIYUKI  
NISHITANI EI SUKE  
SUZUKI MIWAKO  
UCHIDA NORIHIRO

(54) CVD APPARATUS AND PRODUCTION OF SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To prevent the corrosion of metallic parts and to prevent the degradation in product yield by coating the surfaces of the metallic parts of a CVD apparatus for executing gas cleaning of a reactor and piping with a halogen based gas with a metal compd. of low standard forming free energy to a specific thickness.

**SOLUTION:** A plurality of wafers 1 placed on a susceptor 22 are arranged in the reactor section having an outer tube 21a for vacuum discharge and an inner tube 21b for gaseous raw material supply and are heated to a prescribed temp. by heaters 23, by which the deposition of Poly-Si films, etc., is executed. The halogen based gas, such as ClF<sub>3</sub>, HF or NF<sub>3</sub>, is supplied at need to this CVD apparatus to execute the gas cleaning of the reactor and the piping. At this time, the surfaces of the metallic parts, such as flanges 24a, 24b of the tubes and susceptor supplying plate 25, are coated with the metal compd. of NiF<sub>2</sub>, etc., of  $\leq 600$  kJ/mol in the standard forming free energy and 1 to 5  $\mu\text{m}$  in thickness. As a result, the corrosion thereof is prevented and the contamination of the deposited films is prevented.



#### LEGAL STATUS

[Date of request for examination] 31.07.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

〔Number of appeal against examiner's decision〕



### 【特許請求の範囲】

【請求項 1】成膜反応を行うリアクタ、原料ガスを供給するガス供給器およびリアクタから反応ガスを排気する排気装置から構成され、特にリアクタおよび配管のガスクリーニングを目的にハロゲン系ガスのガス供給器を備えたCVD装置において、標準生成自由エネルギーが-600 kJ/molより低い値で、かつ厚さが1 μm以上5 μm以下の金属化合物で金属部品の表面を覆ったことを特徴とするCVD装置。

【請求項 2】成膜反応を行うリアクタ、原料ガスを供給するガス供給器およびリアクタから反応ガスを排気する排気装置から構成され、特にリアクタおよび配管のガスクリーニングを目的にハロゲン系ガスのガス供給器を備えたCVD装置において、厚さが1 μm以上5 μm以下のNiF<sub>2</sub>膜で金属部品の表面を覆ったことを特徴とするCVD装置。

【請求項 3】請求項 1または2記載のCVD装置を用いることを特徴とした半導体装置の製造方法。

### 【発明の詳細な説明】

#### 【0001】

【発明の属する技術分野】本発明は半導体集積回路の製造工程等に用いるCVD装置およびそれを用いた半導体装置の製造方法に関する。

#### 【0002】

【従来の技術】半導体集積回路の製造工程に用いる薄膜形成法として、一般的に広く用いられている方法の一つにCVD(化学気相成長)法がある。CVD法では、熱あるいはプラズマ等を用いて原料ガスの化学反応によりウエハ上に薄膜を形成させる。CVD法の特徴は、堆積させる膜の融点よりもかなり低い温度で高純度かつ結晶性の優れた薄膜が得られること、および物理蒸着に対し基板への薄膜の付きまり性(カバレッジ)が良いことにある。現在、CVD法により、SiO<sub>2</sub>、Poly-Si、Si<sub>3</sub>N<sub>4</sub>、W、WSi、TiN、Ta<sub>2</sub>O<sub>5</sub>等の薄膜が成膜されている。

【0003】CVD装置は成膜反応を行うリアクタ、リアクタに原料ガスを供給するガス供給器、ガス供給器とリアクタとを結ぶガス供給配管、リアクタから反応ガスを排気する排気装置、およびリアクタと排気装置とを結ぶ排気配管から構成される。成膜反応を一定の圧力で行う場合には排気配管の途中に圧力調整バルブを設ける。

【0004】このCVD装置で成膜反応を繰り返すことにより、リアクタ内壁、排気配管内壁あるいは圧力調整バルブに成膜反応の副生成物が堆積する。その反応副生成物の膜厚がある限界値を越えると堆積膜が持つ内部応力により剥がれが生じる。その破片がガス流に乗ってウエハ上に運ばれれば、半導体集積回路チップ上でショート・断線等のデバイス不良を引き起こし、半導体チップの製造歩留まりを低下させるとという問題が生じる。さらに、排気配管の里面に堆積することにより排気配管およ

び圧力調整バルブがつまり、排気および圧力調整が正常に行えなくなるという問題を生じる。

【0005】これらの問題を回避するために、反応副生成物を一定の時間間隔で除去する作業が必要となる。従来はCVD装置を分解し、各種の酸を主成分とする薬液により堆積膜をエッチング除去し、洗浄、乾燥させ組み立てるという全操作業を行っていた。この全操作業は、たとえばSiO<sub>2</sub>の酸型熱CVD装置の場合、リアクタの冷却、分解、エッチング洗浄、組立、調整、および成膜の条件出しを行う。この全操作業に約2日間の時間を要し、2週間から3週間に一回の割合で実施している。このため、この一連の作業だけで装置の稼働率を約10%程度、低下させる要因となっていた。

【0006】この問題を解決するために、ClF<sub>3</sub>、HF、NF<sub>3</sub>等の強い腐食性を有するハロゲン系ガスを流すことにより、装置を分解することなくチャンバ内壁および配管内壁に付着した成膜反応副生成物を除去する方法が検討されている。

【0007】しかしながら、ガスクリーニングの副作用として金属部品の表面がハロゲンあるいは酸素と反応することによりパーティクルを発生しやすい化合物あるいは蒸気圧の高い化合物が生成し、パーティクルがガス流に乗り、ウエハ上に運ばれること、あるいは蒸発により飛散してウエハ上に蒸着されること等により、ウエハ上にパーティクルが残るあるいはウエハの金属汚染が発生するという問題が生じた。

【0008】これらの問題を解決するため、特開平5-302177号記載のように金属部品の表面にニッケルのフッ化不働態膜を形成することにより腐食性ガスに対する耐性を高める試みがなされた。

#### 【0009】

【発明が解決しようとする課題】上記従来技術に示した発明ではニッケルのフッ化不働態膜の膜厚が20 nmから30 nm前後と非常に薄いため、リアクタ温度を上げ下げする時および装置の保守を行う時に部品同士がこすれ、金属部品表面のニッケルのフッ化不働態膜が摩耗し、腐食が発生するという問題がある。

【0010】本発明の目的はCVD装置のリアクタ温度の上げ下げ、および部品交換を繰り返しても、ClF<sub>3</sub>、HF、NF<sub>3</sub>等のハロゲン系ガスによるクリーニングにおいてCVD装置金属部品の腐食を防止することができるCVD装置を提供することにある。

【0011】また、本発明の目的は金属汚染あるいはパーティクルの発生による製造歩留まりの低下を防止できる半導体装置の製造方法を提供することにある。

#### 【0012】

【課題を解決するための手段】上記目的を達成するためにはガスクリーニングを行うCVD装置において、標準生成自由エネルギーが-600 kJ/molより低い値で、かつ厚さが1 μm以上5 μm以下の材料で金属部品の表

面を被うものである。

【0013】上記目的を達成するためにガスクリーニングを行うCVD装置において、金属部品の表面を膜厚が1μm以上5μm以下のNiF<sub>2</sub>膜で被うものである。

【0014】上記目的を達成するために半導体装置の製造に上記CVD装置を用いるものである。

【0015】Niは金属の中で最も腐食に強い材料である。このNiをClF<sub>3</sub>, HF, NF<sub>3</sub>等の腐食性ガスに曝すと、反応系に存在するH<sub>2</sub>Oの働きにより酸化物であるNiO, 塩化物であるNiCl<sub>2</sub>あるいはフッ化物であるNiF<sub>2</sub>が生成される。これらのNi化合物の内、NiOは脆く剥がれやすいために黒色のパーティクルを発生する。NiCl<sub>2</sub>の蒸気圧は約50°Cで0.1Paにも達するため、蒸発により飛散する。これらに対しNiF<sub>2</sub>の蒸気圧はNiCl<sub>2</sub>に比較して4桁以上も低く、しかも緻密な不動態膜を形成する。

【0016】また、これらNi化合物の化学的安定性の指標は標準生成自由エネルギーで与えられる。NiOの標準生成自由エネルギーが-211kJ/mol, NiCl<sub>2</sub>の標準生成自由エネルギーが-259kJ/molであるのに対し、NiF<sub>2</sub>の標準生成自由エネルギーは-604kJ/molであり、NiF<sub>2</sub>が化学的に最も安定な物質であることがわかる。したがって、このNiF<sub>2</sub>を金属部品表面にあらかじめ形成することにより、ClF<sub>3</sub>, HF, NF<sub>3</sub>等の腐食性ガスに曝した場合でも、パーティクルの発生および金属化合物の飛散を防止することが可能となる。

【0017】量産ラインで主流のパッチ処理式CVD装

置は成膜前にリアクタ温度を成膜温度まで昇温し、成膜後に室温近くまで降温する。このように成膜毎に昇温温を繰り返すために、ウエハを乗せる石英型セラミックとそれを支える金属製セラミック支持板との間で熱膨張係数の差に起因する擦れが生じ、これにより金属部品表面のNiF<sub>2</sub>膜が摩耗し、ガスクリーニングにより腐食が進んだ。

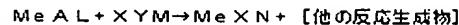
【0018】さらに、量産用CVD装置においてガスクリーニングを実施した場合でも、定期的に部品交換作業を行う。具体的にはリアクタ温度を室温近くまで下げ、リアクタ内部に取り付けられた治具の交換作業等を行う。金属部品に接して取り付けられた部品を交換する際に、その部品が金属部品と擦れることを回避することができなかつた。

【0019】上記NiF<sub>2</sub>膜がこの擦れによる摩耗に耐えるためには、NiF<sub>2</sub>膜の膜厚を厚くし、腐食性ガスの進入を防ぐことが必要である。そのための膜厚として1μm以上の膜厚が必要と考えられる。一方、NiF<sub>2</sub>膜はNiがフッ化する際に体積が約2倍に膨張し、圧縮の内部応力を持つことになる。この内部応力は膜厚の増加に伴い大きくなり、剥がれやすくなる。その膜厚の限界は約5μmと考えられる。

【0020】ところで、ある金属化合物がハロゲン系ガスと反応するかどうかはその反応に伴うギブス自由エネルギーの差から知ることができる。金属化合物とハロゲン系ガスとの反応は一般的に次の反応式で表わせる。

【0021】

【化1】



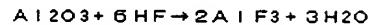
… (1)

特開平7-273053号に記されたAlF<sub>3</sub>膜の標準生成自由エネルギーが-1425kJ/molであり、いずれの物質もハロゲン系ガスと反応しない。

【0022】具体的な計算例をAl2O<sub>3</sub>について説明する。Al2O<sub>3</sub>の標準生成自由エネルギーは-1582kJ/molであり、ハロゲン系ガスと反応しないことが推測できる。たとえば、このAl2O<sub>3</sub>とハロゲン系ガスの一つであるHFとの反応は次の反応式で表わすことができる。

【0023】

【化2】



… (2)

この反応式中の各物質の527°Cにおけるギブス自由エネルギーは次の通りである。

【0024】

Al<sub>2</sub>O<sub>3</sub> : -1796kJ/mol

HF : -438kJ/mol

AlF<sub>3</sub> : -1629kJ/mol

H<sub>2</sub>O : -383kJ/mol  
以上の値からギブス自由エネルギーの差 $\Delta G$ は次の式で計算できる。

【0025】

【数1】

$$\Delta G = (2 \times (-1629) + 3 \times (-383)) - (-1796 + 6 \times (-438))$$

= 17 kJ/mol

この△Gが正の値であり、A1203はHFと反応しないことがわかる。

【0026】本発明においては、CVD装置の金属部品の表面に、標準生成自由エネルギーが-600kJ/molより低い値で、かつ1μm以上5μm以下の厚さの金属化合物を用いて皮膜を形成する。これにより、部品交換時に剥がれが生じにくく、クリーニングガスによる金属部品の腐食防止効果を維持できる。

【0027】また、CVD装置の金属部品を厚さが1μm以上5μm以下のNiF2膜で覆うことにより、部品交換時に剥がれが生じにくく、クリーニングガスによる金属部品の腐食防止効果を維持できる。

【0028】上記NiF2膜を金属部品表面に形成したCVD装置を用いて半導体装置を製造することにより、高い製造歩留まりで半導体装置を製造することができる。

【0029】

【発明の実施の形態】(実施例1) 図1により本発明の第1の実施例であるバッチ処理型のPoly-Si成膜用CVD装置を説明する。

【0030】成膜反応を行うリアクタ部は石英チューブ21とこれを支えるフランジ24からなる。石英チューブ21は真空を保つためのアウタチューブ21aおよび原料ガスを均一に流すためのインナチューブ21bからなる。インナチューブ21bの内部に複数のウエハ1を載せるためのサセプタ22、およびこのサセプタを支えるサセプタ支持板25を設置し、かつこれらを加熱するためのヒータ23を備えている。フランジ24aにはガス供給配管31およびバルブ32v、33v、35v、38vを介してSiH4供給器32s、PH3供給器33s、N2供給器36sおよびC1F3供給器38sを接続し、フランジ24bには排気配管41を介してアウタチューブ21a内部の圧力を制御するためのコンダクタンスバルブ42および排気装置43を接続している。

【0031】上記CVD装置の構成部品の内、フランジ24a、24b、サセプタ支持板25は強度と加工精度を得るために金属で作製した。これらの金属部品はヒータ23からの輻射により400°C近くの高温になるため、クリーニングガスによる腐食を防止するために母材表面にNiF2膜を形成した。そのNiF2膜の形成方法を以下に示す。

【0032】まず、母材にステンレス等の純ニッケル以外の金属を用いた場合について説明する。金属母材の表面にニッケルめっき、あるいはNiPめっき等のニッケル合金めっきを約20μmの厚さになるまで行う。これをAr等の不活性ガス雰囲気中において150°Cの温度で一時間の焼き出しを行い、その後、500°Cの温度に加热し、F2ガスを流すことにより、母材表面にNiF2膜を形成した。母材に純ニッケルを用いた場合は、A

… (1)

r等の不活性ガス雰囲気に置換した後、500°Cに加热し、F2ガスを流し、母材表面にNiF2膜を形成した。

【0033】NiF2膜の最適な膜厚を知るために、サセプタ22と焼れが生じるサセプタ支持板25に膜厚が0.1μmから1.0μmのNiF2膜を形成し、実際に量産ラインでの作業に近い条件でリアクタ温度の昇降温およびガスクリーニングを実施し、金属部品の表面を観察した。以下にその手順を示す。

【0034】疑似的な成膜作業として、ヒータ23を用いてPoly-Si膜の成膜温度である580°Cに加热したインナチューブ21b内に、150枚の8インチウエハ1を載せたサセプタ22を挿入し、熱平衡状態に達するまで待ち、その後、サセプタ22を引き出し、約150°Cの温度に冷却されるまで待つ作業を行った。この疑似成膜作業を全部で30回繰り返した。

【0035】その後、次の手順でガスクリーニングを実施した。ヒータ23を用いてアウタチューブ21a、インナチューブ21bおよびサセプタ22を580°Cに加热した状態で、バルブ35vおよび38vを開いた後、N2供給器36sおよびC1F3供給器38sからN2およびC1F3をそれぞれ300SCCMおよび2700SCCMの流量で供給し、アウタチューブ21a内の圧力が100Paになるようにコンダクタンスバルブ43により排気量を制御した。このガスクリーニングを90分間実施した。その後、上に記した疑似成膜作業を実施した。この疑似成膜作業とガスクリーニング作業を100回繰り返し、その後、サセプタ支持板25の表面を目視観察した。その結果を表1に示す。

【0036】

【表1】

(表1)

膜厚(μm)	腐食状況
0.1	全面的に黒色化した。
0.2	焼れ部分が黒色化した。
0.5	焼れ部分の一部が黒色化した。
1.0	変色せず。
2.0	変色せず。
5.0	変色せず。
10.0	NiF2膜形成直後に剥がれた。

【0037】NiF2膜の膜厚が0.5μm以下のサセプタ支持板25についてはサセプタ22と接触した部分に一部に黒色の変色部が観察された。さらに、その部位に粘着材を塗布したテープを張り付け、剥がすことにより、テープの粘着材にパーティクル状の破片が付着していることが観察された。このパーティクルの組成をエネルギー分散型エックス線法により分析したところ、ニッケルの酸化物であることがわかった。これに対し、Ni

F2 膜の膜厚が 1  $\mu\text{m}$  から 5  $\mu\text{m}$  の試料については変色が認められず、テープへのパーティクルの付着も観察されなかった。ただし、NiF2 膜の膜厚が 10  $\mu\text{m}$  の試料は NiF2 膜を形成したときに、すでにクラックが生じたため、評価の対象から除いた。これは NiF2 膜形成時の圧縮方向の内部応力が原因と考えられる。

【0038】本実施例では Poly-Si 膜を成膜するバッチ処理型の熱 CVD 装置について説明したが、Poly-Si 膜以外の SiO2, O3-SiO2, O3-PSSG, O3-BPSG, Si3N4, W, WSi, TiN, Te2O5 等の薄膜を成膜する熱 CVD 装置においても同様の効果が得られる。

【0039】本実施例によれば、CVD 装置の金属部品の表面を 1  $\mu\text{m}$  以上、5  $\mu\text{m}$  以下の NiF2 膜で覆うことにより、金属部品表面の腐食を防止することができた。

【0040】(実施例2) 次に、本発明の第2の実施例である枚葉処理型の SiO2 成膜用 CVD 装置を図2により説明する。

【0041】成膜反応を行うリアクタ部は石英チューブ 21 とこれを両側から支えるフランジ 24a, 24b からなる。石英チューブ 21 はその内部にウエハ 1 を載せるためのサセプタ 22 を設置し、かつこれらを加熱するためのヒータ 23 を備えている。フランジ 24a にはガス供給配管 31 およびバルブ 34v, 35v, 36v, 38v, 39v を介して TEOS 供給器 34s, He 供給器 35s, N2 供給器 36s, ClF3 供給器 38s および HF 供給器 39s を接続し、フランジ 24b には排気配管 41 を介して石英チューブ 21 内部の圧力を制御するためのコンダクタンスバルブ 42 および排気装置 43 を接続している。また、フランジ 24b にはゲートバルブ 51 を介して搬送室 52 を接続し、搬送室 52 の内部にはウエハ 1 をサセプタ 22 に載せるための搬送アーム 53 を備えている。

【0042】上記 CVD 装置の構成部品の内、ガス供給配管 31, バルブ 34v, 35v, 36v, 38v, 39v, フランジ 24a, 24b, 排気配管 41 およびコンダクタンスバルブ 42 は TEOS の凝縮を防ぐために 90°C 以上に加熱した。また、これらの部品は強度と加工精度を得るために金属で作製した。これらの金属部品のクリーニングガスによる腐食を防止するために母材であるステンレスの表面に NiP めっきを施し、そのフッ化処理により NiF2 膜を形成した。

【0043】NiF2 膜の膜厚の効果を確認するため、サセプタ 22 と擦れが生じるフランジ 24a に厚さが 0.5  $\mu\text{m}$  と 1  $\mu\text{m}$  の NiF2 膜を形成し、実際の量産プロセスに近い条件で疑似保守作業とガスクリーニングを行い、金属部品表面を観察した。以下に、その手順を示す。

【0044】疑似的な保守作業として石英チューブ 21

を加熱しない状態でサセプタ 22 を取り出し、取り付けの作業を行い、その後、次の手順でガスクリーニングを行った。ヒータ 23 を用いて石英チューブ 21 およびサセプタ 22 を 750°C まで昇温し、加熱した状態で、バルブ 36v および 38v を開いた後、N2 供給器 36s および ClF3 供給器 38s から N2 および ClF3 をそれぞれ 5000 SCCM および 1000 SCCM の流量で供給し、石英チューブ 21 内の圧力が 200 Pa になるようにコンダクタンスバルブ 43 により排気量を制御する。この条件で ClF3 ガスを 500 分間流した。この疑似保守作業とガスクリーニングを 100 回繰り返した後、サセプタ 22 と擦れが生じる部分の腐食状況を観察した。

【0045】その結果、表2に示すように、NiF2 膜の厚さが 0.5  $\mu\text{m}$  の場合はサセプタ 22 との擦れにより傷が発生し、その部分が黒色に変色し、テープを張り付け剤がすこしによりパーティクルの発生が確認できたのに対し、NiF2 膜の厚さが 1  $\mu\text{m}$  の場合は傷の部分に変色が見られず、パーティクルの発生も見られなかった。

【0046】

【表2】

(表2)

膜厚(μm)	腐食状況
0.5	擦れ部分の一辺が黒色化した。
1.0	変色せず。

【0047】また、実施例1から容易に予想ができるように NiF2 膜の厚さが 5  $\mu\text{m}$  より厚い場合は形成時の内部応力により傷が生じ、CVD 装置に通用できない。

【0048】本実施例では SiO2 膜を成膜する枚葉処理型の熱 CVD 装置について説明したが、SiO2 膜以外の O3-SiO2, O3-PSSG, O3-BPSG, Poly-Si, Si3N4, W, WSi, TiN, Te2O5 等の薄膜を成膜する熱 CVD 装置、および SiO2 等の薄膜を成膜するプラズマ CVD 装置においても同様の効果が得られる。

【0049】本実施例によれば、CVD 装置の金属部品の表面を厚さが 1  $\mu\text{m}$  以上、5  $\mu\text{m}$  以下の NiF2 膜で覆うことにより、金属部品表面の腐食を防止し、かつパーティクルの発生を防止することができた。

【0050】(実施例3) 次に、本発明の第3の実施例としてメモリセル選択用 MTFET の上部に情報蓄積用容量素子を配置するスタックド・キャパシタ(Staked Capacitor) 構造のメモリセルを備えた DRAM (Dynamic Random Access Memory) の製造に適用した例を示す。このメモリセルは、情報蓄積用容量素子の下部電極と上部電極をそれぞれ Poly-Si および TiN で構成

し、容量絶縁膜をT<sub>e</sub>205で構成する。また、情報蓄積用容量素子とその上部に形成されるピット線とを分離する層間絶縁膜をS<sub>i</sub>O<sub>2</sub>で構成する。

【0051】このメモリセルを形成するためには、先ず図3に示すように、例えばp型の単結晶シリコンからなる半導体ウエハ1の正面にp型不純物（ホウ素）をイオン打ち込みしてp型ウエル2を形成した後、周知の如きのCVD法でp型ウエル2の表面の素子分離領域にフィールド酸化膜3を形成し、次いで素子形成領域にゲート酸化膜4を形成する。次に、フィールド酸化膜3の下部を含むp型ウエル2内にp型不純物（ホウ素）をイオン打ち込みして素子分離用のp型チャネルストップ層5を形成する。

【0052】次に、図4に示すように、ゲート酸化膜4上にメモリセル選択用MISFETのゲート電極6を形成する。このゲート電極6は、メモリセルのワード線Wを兼ねている。ゲート電極6（ワード線W）は、p型ウエル2上にCVD法でPoly-Si（多結晶シリコン）膜（または多結晶シリコン膜と高融点金属シリサイド膜とを積層したポリサイド膜）とS<sub>i</sub>O<sub>2</sub>膜7とを堆積する。これらのPoly-Si膜およびS<sub>i</sub>O<sub>2</sub>膜7の成膜に実施例1および実施例2で説明したCVD装置を用いた。次に成膜について説明する。

【0053】まず、Poly-Si膜の成膜について図1を使って説明する。約580℃に加熱した石英チューブ21内のセセフタ22に、150枚の5インチウエハ1を載せる。その後、バルブ32vおよび33vを開いた後、S<sub>i</sub>H4およびPH3供給器32sおよびPH3供給器33sからS<sub>i</sub>H4およびPH3をそれぞれ1000SCCMおよび5~1000SCCMの流量で供給し、アウタチューブ21a内の圧力が50Paになるようにコンダクタングバルブ43により排気量を制御する。すると、S<sub>i</sub>H4の熱分解反応によりウエハ1にPoly-Si膜を約4nm/minの成膜速度で形成できる。

【0054】次にS<sub>i</sub>O<sub>2</sub>膜の成膜について図2を使って説明する。約750℃に加熱した石英チューブ21内のセセフタ22に、搬送室52から搬送アーム53を用い、ゲートバルブ51を通して2枚の5インチウエハ1を載せる。その後、バルブ32およびバルブ34を開いた後、TEOS供給器34sおよびHe供給器35sからTEOSおよびHeをそれぞれ1000SCCMの流量で供給し、石英チューブ21中の圧力が100Paになるようにコンダクタングバルブ43により排気量を制御する。すると、TEOSの熱分解反応によりウエハ1の表面にS<sub>i</sub>O<sub>2</sub>膜を約30nm/minの成膜速度で形成できる。

【0055】次に、フォトレジストをマスクにしたエッチングでこれらの膜をバーニングして形成する。

【0056】次に、図5に示すように、p型ウエル2にn型不純物（リン）をイオン打ち込みしてメモリセル選

択用MISFETのn型半導体領域8（ソース領域、ドレイン領域）を形成した後、図6に示すように、ゲート電極6（ワード線W）の側壁にサイドウォールスペーサ9を形成し、次いでp型ウエル2の全面にCVD法でS<sub>i</sub>O<sub>2</sub>膜10を堆積する。このS<sub>i</sub>O<sub>2</sub>膜10を堆積に実施例1で説明したCVD装置を用いた。サイドウォールスペーサ9は、p型ウエル2の全面にCVD法で堆積したS<sub>i</sub>O<sub>2</sub>膜を反応性イオンエッチング法でバーニングして形成する。

【0057】次に、図7に示すように、メモリセル選択用MISFETのソース領域、ドレイン領域のどちらか一方の上部のS<sub>i</sub>O<sub>2</sub>膜10およびゲート酸化膜4をエッチングして接続孔11を形成した後、S<sub>i</sub>O<sub>2</sub>膜10の上部に膜厚200nm程度のPoly-Si膜12を形成する。このPoly-Si膜12の成膜に実施例1で説明したCVD装置を用いた。

【0058】次に、図8に示すように、フォトレジストをマスクにしたドライエッチングでPoly-Si膜12をバーニングすることにより、情報蓄積用容量素子の下部電極12Aを形成する。この下部電極12Aは、接続孔11を通じてメモリセル選択用MISFETのソース領域、ドレイン領域の一方（n型半導体領域8）に接続される。

【0059】次に、図9に示すように、下部電極12Aの上部に膜厚200nm程度のT<sub>e</sub>205膜13を堆積する。

【0060】次に、図10に示すように、T<sub>e</sub>205膜13の上部に膜厚300nm程度のT<sub>i</sub>N膜14を堆積する。次に、図11に示すように、フォトレジストをマスクにしたドライエッチングでT<sub>i</sub>N膜14およびその下層のT<sub>e</sub>205膜13をバーニングすることにより、情報蓄積用容量素子の上部電極14A、容量絶縁膜（T<sub>e</sub>205膜13）および上部電極14Aの積層構造で構成された情報蓄積用容量素子が得られる。

【0061】次に、図12に示すように、情報蓄積用容量素子の上部に膜厚500nm程度のS<sub>i</sub>O<sub>2</sub>膜15を堆積する。

【0062】その後、図13に示すように、S<sub>i</sub>O<sub>2</sub>膜15、S<sub>i</sub>O<sub>2</sub>膜10およびゲート酸化膜4をエッチングして、メモリセル選択用MISFETのソース領域、ドレイン領域の他方（n型半導体領域8）の上部に接続孔16を形成する。統いて、この接続孔16の内部にW膜あるいはPoly-Si膜を埋め込んでプラグ17を形成した後、S<sub>i</sub>O<sub>2</sub>膜15の上部にCVD法またはスパッタリング法で堆積したW膜をバーニングしてピット線BLを形成する。

【0063】なお、ピット線BLの上部には層間絶縁膜を介して上部配線が形成され、さらにその上部にはバッシペーション膜が形成されるが、それらの図示は省略する。

【0064】以上のようにして製造したDRAMの製造歩留まりを従来例と比較した結果、実施例1および実施例2のCVD装置を用いることによりDRAMの製造歩留まりを50%から55%に向上させることができた。

【0065】本実施例によれば、以上のようにして製造したDRAMはCVD装置のガスクリーニングにおいて金属部品の腐食によるパーティクルの発生がないため、半導体装置の製造歩留まりを向上させることができた。

【0066】

【発明の効果】本発明によればCVD装置の金属部品の表面を、標準生成自由エネルギーが-600kJ/molより低い値で、かつ厚さが1μm以上、5μm以下の金属化合物、たとえばNi-F2膜で覆うことによりガスクリーニングにおける金属部品の腐食を防止することができ、ウエハへの金属汚染あるいはパーティクルの発生を防止できる。さらにこのCVD装置を半導体装置の製造に適用することにより、半導体装置の製造歩留まりを向上させることができる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例のバッチ処理型のCVD装置の構造を示す断面図。

【図2】本発明の第2の実施例の枚葉処理型のCVD装置の構造を示す断面図。

【図3】本発明の第3の実施例のDRAMの製造方法を示す半導体ウエハの要部断面図。

【図4】本発明の第3の実施例のDRAMの製造方法を示す半導体ウエハの要部断面図。

【図5】本発明の第3の実施例のDRAMの製造方法を示す半導体ウエハの要部断面図。

【図6】本発明の第3の実施例のDRAMの製造方法を示す半導体ウエハの要部断面図。

【図7】本発明の第3の実施例のDRAMの製造方法を示す半導体ウエハの要部断面図。

【図8】本発明の第3の実施例のDRAMの製造方法を示す半導体ウエハの要部断面図。

【図9】本発明の第3の実施例のDRAMの製造方法を示す半導体ウエハの要部断面図。

【図10】本発明の第3の実施例のDRAMの製造方法を示す半導体ウエハの要部断面図。

【図11】本発明の第3の実施例のDRAMの製造方法を示す半導体ウエハの要部断面図。

【図12】本発明の第3の実施例のDRAMの製造方法を示す半導体ウエハの要部断面図。

【図13】本発明の第3の実施例のDRAMの製造方法を示す半導体ウエハの要部断面図。

#### 【符号の説明】

1…ウエハ、2…p型ウエル、3…フィールド酸化膜、4…ゲート酸化膜、5…p型チャネルストップ層、6…ゲート電極、7…SiO<sub>2</sub>膜、8…n型半導体領域(ソース領域、ドレイン領域)、9…サイドウォールスペーサ、10…SiO<sub>2</sub>膜、11…接続孔、12…Poly-Si膜、12A…下部電極、13…Ta<sub>2</sub>O<sub>5</sub>膜、14…TiN膜、14A…上部電極、15…SiO<sub>2</sub>膜、16…接続孔、17…フラグ、21…石英チューブ、21a…アウタチューブ、21b…インナチューブ、22…セセブタ、23…ヒータ、24a…フランジ、24b…フランジ、25…セセブタ支持板、31…ガス供給配管、32v…バルブ、32s…SiH<sub>4</sub>供給器、33v…バルブ、33s…PH<sub>3</sub>供給器、34v…バルブ、34s…TEOS供給器、35v…バルブ、35s…He供給器、36v…バルブ、36s…N<sub>2</sub>供給器、38v…バルブ、38s…ClF<sub>3</sub>供給器、39v…バルブ、39s…HF供給器、41…排気配管、42…コンタクタンスバルブ、43…排気装置、51…ゲートバルブ、52…搬送室、53…搬送アーム。

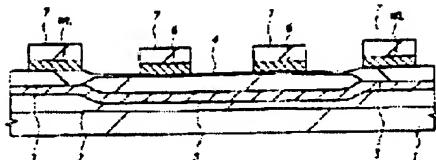
【図3】

図3

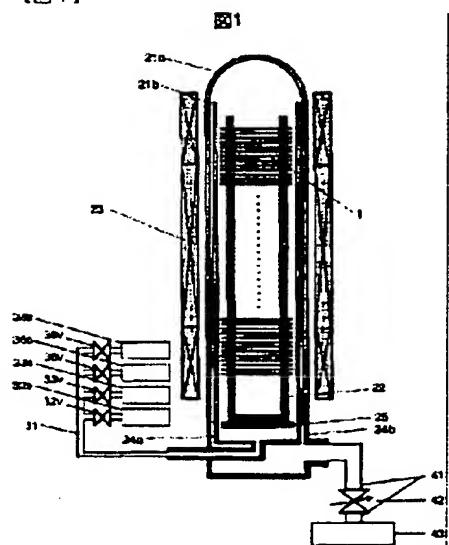


【図4】

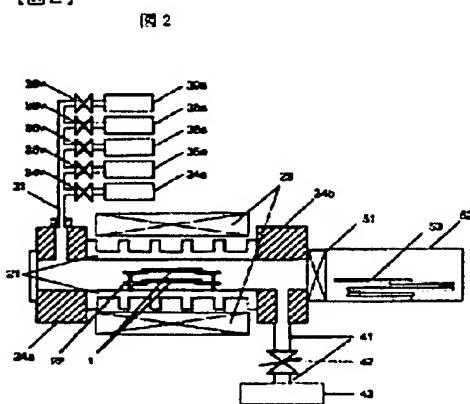
図4



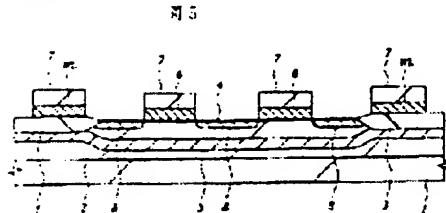
[図 1]



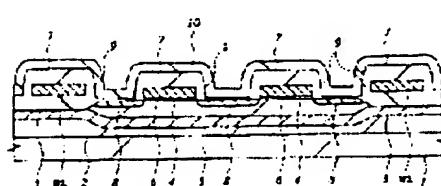
[図 2]



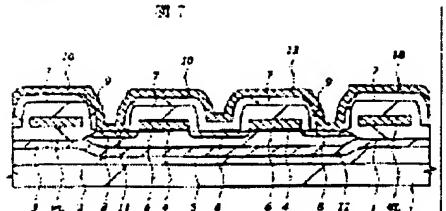
[図 5]



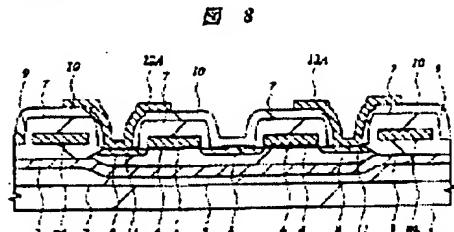
[図 6]



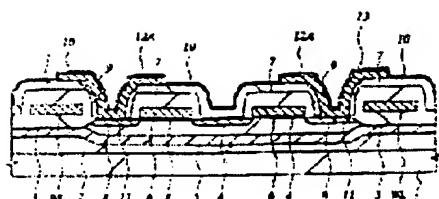
[図 7]



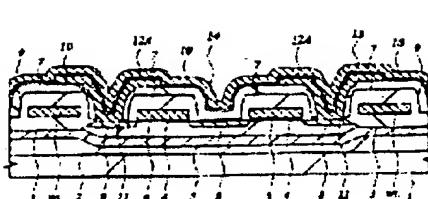
[図 8]



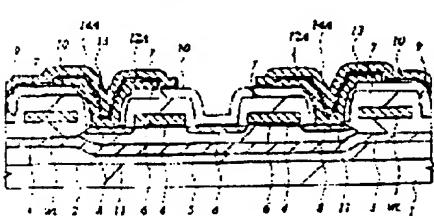
〔図9〕



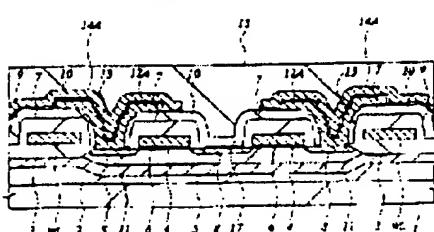
[图 10]



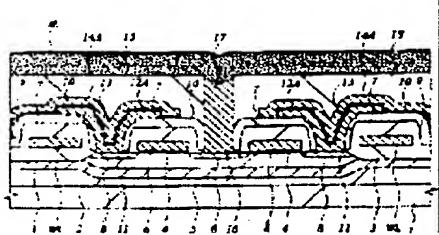
【图11】



[図 1-2]



[图 13]



## フロントページの続き

(72) 著明者 内田 燕宏  
東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体事業部内